

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年2月2日 (02.02.2006)

PCT

(10) 国際公開番号
WO 2006/011291 A1

(51) 国際特許分類⁷: H01F 41/04, 17/00, H01G 4/12

(21) 国際出願番号: PCT/JP2005/009779

(22) 国際出願日: 2005年5月27日 (27.05.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-216029 2004年7月23日 (23.07.2004) JP

(71) 出願人(米国を除く全ての指定国について): 株式会社 村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 工藤和秀 (KUDO, Kazuhide) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社 村田製作所内 Kyoto (JP).

松永季 (MATSUMAGA, Minoru) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社 村田製作所内 Kyoto (JP).

(74) 代理人: 五十嵐清 (IGARASHI, Kiyoshi); 〒2200011 神奈川県横浜市西区高島2丁目10番13号 横浜東口ビル908号室 Kanagawa (JP).

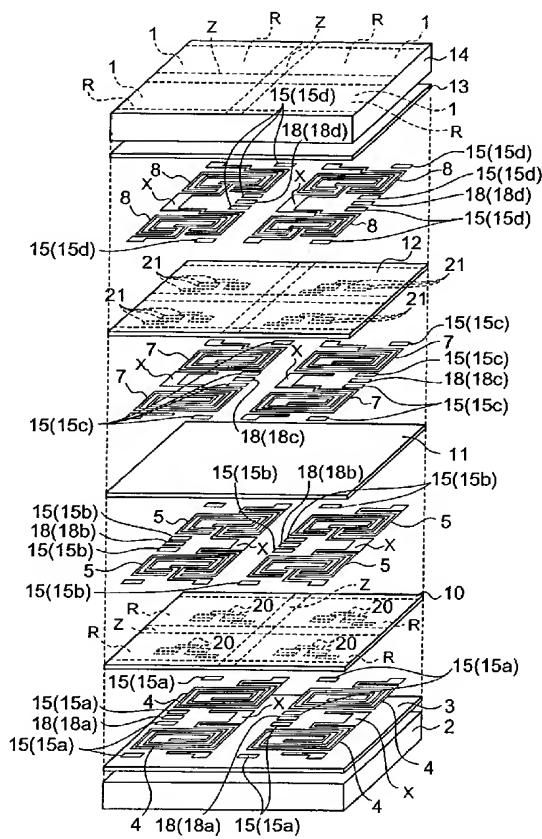
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,

[続葉有]

(54) Title: METHOD FOR MANUFACTURING ELECTRONIC COMPONENT, PARENT BOARD AND ELECTRONIC COMPONENT

(54) 発明の名称: 電子部品の製造方法および親基板および電子部品



(57) Abstract: In the manufacturing process of an electronic component where a plurality of conductor patterns are laid in layers through an insulation layer, a conductor pattern layer having a plurality of conductor patterns (4, 5, 7, 8) formed on the layer surface at intervals and insulation layers (10-13) are laid in layers alternately thus producing a multilayer body where a plurality of electronic components (1) are formed collectively of the conductor patterns (4, 5, 7, 8) laid in layers. The multilayer body is pressed with a force acting along the layer direction and then cut according to cut lines set along the boundary of each electronic component (1) thus separating each electronic component (1). In the cutting/removing region (Z) of a parent board for cutting out a plurality of electronic components (1), a removing dummy pattern (18) having a size containable in that region is formed. A floating dummy pattern (15) not connected electrically with the conductor patterns (4, 5, 7, 8) is formed in the electronic component (1) while spaced apart from the cutting/removing region (Z).

(57) 要約: 複数の導体パターンが絶縁層を介しながら積層形成されている電子部品の製造工程において、層面上に複数の導体パターン4, 5, 7, 8が間隔を介して形成されている導体パターン層と、絶縁層10～13とを交互に積層形成していく。このようにして、導体パターン4, 5, 7, 8の積層により形成される電子部品1が複数集合形成されている積層体を作製する。その後、その積層体を積層方向に沿う力でもって加圧し、然る後に、その積層体を、各電子部品1の境界に沿って設定された切断ラインに従って切断して各電子部品1毎に分離分割する。このように複数の電子部品1を切り出すための親基板の切断除去領域Zには、当該領域内に収まるサイズの除去ダミーパターン18を形成する。電子部品1には、導体パターン4, 5, 7, 8に電気的に接続されていない浮遊ダミーパターン15を切断除去領域Zと間隔を介して形成する。

WO 2006/011291 A1



SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

電子部品の製造方法および親基板および電子部品

技術分野

[0001] 本発明は、複数の導体パターンが絶縁層を介しながら積層形成されている構成を備えた電子部品の製造方法および親基板および電子部品に関するものである。

背景技術

[0002] 図5aには電子部品であるコイル部品の一形態例が模式的な斜視図により示されている。図5bには図5aのコイル部品のA—A部分の模式的な断面図が示されている(例えば特許文献1参照)。このコイル部品30は、複数の渦巻き状の導体パターン31(31A, 31B)が絶縁層32を介して積層されている構成を有している。

[0003] このようなコイル部品30は次に示すように製造される。例えば、図6aに示されるように、複数の導体パターン31が同一平面上に間隔を介して形成して成る導体パターン層を形成する。そして、そのような複数の導体パターン層を絶縁層32を介しながら積層して、図6bに示されるような積層体33を作製する。この積層体33は、複数のコイル部品30が集合形成されているものである。このため、積層体33の作製後には、各コイル部品30の境界に沿って設定された切断ラインLに従って積層体33を切断して、各コイル部品30毎に分離分割する。このような製造工程を経てコイル部品30が製造される。

[0004] 特許文献1:特開平7-122430号公報

発明の開示

発明が解決しようとする課題

[0005] ところで、コイル部品30の製造工程中に作製される積層体33においては、例えば、図7の模式的な断面図に示されるように、隣り合うコイル部品30の導体パターン31間は広い間隙Sとなっている。このために、絶縁層32から、導体パターン31間の間隙Sに入り込む絶縁材料の入り込み量が多い。これにより、導体パターン31A, 31B間の積層方向の間隔dが設定よりも狭くなったり、導体パターン31A, 31B間の間隔dがばらつくというような問題が発生する。このため、コイル部品30の電気的な特性が

ばらついてコイル部品30の性能の信頼性向上が難しかった。

[0006] そこで、図8に示されるような手法が提案されている。つまり、その提案の手法では、積層体33の導体パターン層には、電子部品構成用の導体パターン31を形成すると共に、導体パターン31と電気的に接続されていないダミーパターン35を切断ラインに沿って形成する。このようなダミーパターン35を形成することによって、隣り合うコイル部品30の導体パターン31間の隙間Sにおける導体パターンの形成量が増加する。このため、絶縁層32から、その隙間Sに入り込む絶縁材料の量を抑制することができる。これにより、導体パターン31A, 31B間の間隔dをほぼ設定通りとすることが容易となる。

[0007] しかしながら、例えば、ダミーパターン35を形成することにより、次に示すような問題が発生する。例えば、ダミーパターン35は、隣り合うコイル部品30の導体パターン31間の隙間Sの導体パターン形成量を増加させる目的のものである。このことを考慮すると、ダミーパターン35は幅広である方が好ましい。しかし、ダミーパターン35を幅広に形成すると、次に示すような問題が発生する。すなわち、例えば、ダミーパターン35を幅広に形成すると、ダミーパターン35の形成位置が少しずれただけでも、ダミーパターン35が、積層体33の切断加工により除去される切断除去領域から電子部品形成領域に入り込んで形成されてしまう。この場合、図9bの断面図に示されるように、積層体33から分離分割した後のコイル部品30にダミーパターン35の一部分が残ってしまう事態が発生する。また、ダミーパターン35を幅広に形成すると、図9aに示されるように積層体33の切断加工時に切断ずれが生じた場合にも、図9bの断面図に示されるように、積層体33から分離分割した後のコイル部品30にダミーパターン35の一部分が残ってしまう事態が発生し易くなる。そのダミーパターン35の切断面はコイル部品30の側面から露出した状態となる。この残留ダミーパターン35により次に示すような問題が発生する。

[0008] つまり、積層体33から分離分割されたコイル部品30は、表面処理としてメッキ処理が行われる場合があり、この場合には、ダミーパターン35の露出部分に不要にメッキが成長するという不具合が発生する。また、ダミーパターン35に電圧が印加されて、ダミーパターン35と導体パターン31との間に電位差が発生すると、ダミーパターン3

5と導体パターン31間にマイグレーションが発生してコイル部品30の電気的な特性を劣化させるという問題が発生する。

[0009] このような問題を防止するために、ダミーパターン35を細く形成すると、デラミネーション(層間剥離)が次に示すように発生してしまうという問題が生じる。つまり、ダミーパターン35を形成することによって、積層体33の上面には、そのダミーパターン35の形成領域に、ダミーパターン35の形状に応じた凸部が生じる。また、その凸部の両側には、ダミーパターン35とこれに隣接する導体パターン31との間の隙間に絶縁層が落ち込んで凹部が形成される。ダミーパターン35を細くするに従って、当該ダミーパターン35と、これに隣接する導体パターン31との間の隙間が広くなるため、その隙間における絶縁層の落ち込みが大きくなる。これにより、図10の模式的な断面図に示されるように、積層体33におけるダミーパターン35に応じた凸部36の頂部と、その両側の凹部37の底部との高低差が大きくなる。また、ダミーパターン35を細く形成すると、ダミーパターン35に応じた凸部36も細くなるので、積層体33を分離分割する前に行われる積層体33の加圧工程において、その細い凸部36には大きな押圧力が加えられることとなる。

[0010] その凸部36に加えられた大きな押圧力は、図10の矢印Fに示されるように、凹部37の底部(つまり、層が薄い部分)に向かって逃げる。また、積層体33の上面には導体パターン31に起因した凸部38も生じており、積層体33の加圧工程において、その凸部38に加えられた押圧力も、図10の矢印F'に示されるように、凹部37の底部に向かって逃げる。このように、層が薄い部分に、互いに向かい合う力F, F'が加えられるために、当該層の薄くて弱い部分に図10の矢印Uに示されるような上向きの力が発生する。これにより、例えば絶縁層がその下側の導体パターンから剥離してしまうというようなデラミネーション(層間剥離)が発生する。これにより、コイル部品30の電気的特性が大幅に悪化して不良品となってしまうという問題がある。

課題を解決するための手段

[0011] この発明の電子部品の製造方法の構成の一つは、導体パターン層が絶縁層を介して積層されて複数の導体パターン層が積層一体化されている電子部品の製造方法であつて、

層面方向に間隔を介して導体パターンが複数形成されている導体パターン層と、絶縁層とを交互に積層形成して、電子部品を構成する導体パターンの積層部位が複数集合形成されている積層体を作製し、

その積層体を積層方向に力を加えて加圧一体化した後に、当該積層体を、各電子部品を構成する導体パターンの積層部位の境界に沿った切断ラインに従って切断して各電子部品毎に分離分割することとし、

前記複数積層される導体パターン層のうちの少なくとも1つの導体パターン層には、その表面に絶縁層が積層形成される前に、前記切断により切削除去される領域に該切断除去領域内に収まるサイズの除去ダミーパターンを形成し、

また、前記各電子部品を構成する導体パターンの積層部位の少なくとも1つの導体パターン層には、その表面に絶縁層が積層形成される前に電子部品を構成する導体パターンとは電気的に接続されていない浮遊ダミーパターンを、切断除去領域と間隔を介して切断除去領域の外側近傍に配置形成することを特徴としている。

[0012] また、この発明の親基板の構成の一つは、層面方向に間隔を介して導体パターンが複数形成されている導体パターン層と、絶縁層とが交互に積層形成されて、電子部品を構成する導体パターンの積層部位が複数集合形成されている積層体であり、その積層体を、各電子部品を構成する導体パターンの積層部位の境界に沿った切断ラインに従って切断することにより、各電子部品毎に分離分割した複数の電子部品を切り出すための親基板であって、

前記複数積層される導体パターン層のうちの少なくとも1つの導体パターン層には、前記切断ラインに従って切断される切断除去領域内に該切断除去領域内に収まるサイズの除去ダミーパターンが形成され、

また、前記各電子部品を構成する導体パターンの積層部位の少なくとも1つの導体パターン層には、電子部品を構成する導体パターンとは電気的に接続されていない浮遊ダミーパターンが、前記切断除去領域と間隔を介して該切断除去領域の外側近傍に配置形成していることを特徴としている。

[0013] さらに、この発明の電子部品の構成の一つは、導体パターン層と、絶縁層とが交互に積層形成されて複数の導体パターン層が積層一体化されている積層体の電子部

品であって、

前記複数積層される導体パターン層のうちの1つ以上の導体パターン層には、導体パターンとは電気的に接続されていない浮遊ダミーパターンが、当該導体パターン層の端面と導体パターンとの間の領域に導体パターンとは間隔を介し、かつ、導体パターン層の端面に露出しない状態で配置されていることを特徴としている。

発明の効果

[0014] この発明の電子部品の製造方法では、層面方向に間隔を介して導体パターンが複数形成されている導体パターン層と、絶縁層とを交互に積層形成して、電子部品を構成する導体パターンの積層部が複数集合形成されている積層体を作製する際に、積層される複数の導体パターン層のうちの少なくとも1つの導体パターン層には、電子部品構成用の導体パターンを形成すると共に、その導体パターンを形成しない部分に、除去ダミーパターンや、浮遊ダミーパターンを形成することとした。このため、除去ダミーパターンや浮遊ダミーパターンを設けた分、電子部品構成用の導体パターンが形成されていない部分のパターンの形成量を増加させることができる。換言すれば、層面方向のパターン間の間隙を少なくできる。これにより、層面方向のパターン間の間隙への絶縁層の絶縁材料の入り込み量を抑制できる。このため、導体パターン層間の積層方向の間隔をほぼ設定通りにすることが容易となる。

[0015] また、この発明の電子部品の製造方法では、層面方向のパターン間の間隙への絶縁層の絶縁材料の入り込み量を抑制できるので、導体パターン層と絶縁層から成る積層体の上面の凹凸を小さく抑制できて、積層体上面の平坦化を図ることができる。これにより、積層体の加圧工程において、押圧力を積層体全体にほぼ均等に加えることが可能となり、デラミネーションの発生を防止することができる。

図面の簡単な説明

[0016] [図1]図1は、本発明に係る電子部品の製造方法の一実施例を説明するためのモデル図である。

[図2a]図2aは、本発明に係る電子部品の一実施例を模式的に表した斜視図である。

[図2b]図2bは、図2aの電子部品の模式的な分解図である。

[図3a]図3aは、親基板における除去ダミーパターンや浮遊ダミーパターンが形成さ

れている領域の積層構造例を説明するための模式的な断面図である。

[図3b]図3bは、親基板において図3aとは別の位置の除去ダミーパターンと浮遊ダミーパターンの形成領域の積層構造例を説明するための模式的な断面図である。

[図4]図4は、その他の実施例を説明するための模式的な断面図である。

[図5a]図5aは、コイル部品の一形態例を示すモデル図である。

[図5b]図5bは、図5aのコイル部品におけるA-A部分の模式的な断面図である。

[図6a]図6aは、コイル部品の一製造工程例を説明するための図である。

[図6b]図6bは、図6aに引き続きコイル部品の一製造工程例を説明するための図である。

[図7]図7は、従来の製造工程での問題点を説明するためのモデル図である。

[図8]図8は、コイル部品の別の製造工程例を説明するための図である。

[図9a]図9aは、図8を利用して説明したコイル部品の製造工程例での問題点を説明するためのモデル図である。

[図9b]図9bは、図9aと共に、図8を利用して説明したコイル部品の製造工程での問題点を説明するためのモデル図である。

[図10]図10は、図8を利用して説明したコイル部品の製造工程での別の問題点を説明するためのモデル図である。

符号の説明

[0017] 1 コイル部品

4, 5, 7, 8 電子部品構成用の導体パターン

10, 11, 12, 13 絶縁層

15 浮遊ダミーパターン

18 除去ダミーパターン

発明を実施するための最良の形態

[0018] 以下に、この発明に係る実施例を図面に基づいて説明する。

[0019] 図2aの模式的な斜視図および図2bの模式的な分解図には、この実施例の電子部品であるコイル部品(コモンモードチョークコイル部品)1が示されている。このコイル部品1は、基部側磁性体基板2と、下地絶縁層3と、コイルパターンである導体パター

ン4, 5から成る一次コイル6と、コイルパターンである導体パターン7, 8から成る二次コイル9と、導体パターン層間絶縁層10, 11, 12と、保護絶縁層13と、蓋側磁性体基板14と、浮遊ダミーパターン15と、外部接続用電極16(16a, 16b), 17(17a, 17b)とを有して構成されている。

[0020] このコイル部品1の構成を製造工程例と共に以下に説明する。この実施例のコイル部品1の製造工程では、まず、図1に示されるような、複数のコイル部品1を作製することができる大きさを持つ基部側磁性体基板2を用意する。そして、その基部側磁性体基板2の上面全面に下地絶縁層3を積層形成する。なお、基部側磁性体基板2および蓋側磁性体基板14を構成する基板としては、例えばフェライト基板や、磁性材料が含有されているセラミックス基板や、磁性材料が含有されている樹脂基板などを挙げることができる。そのような基板の中から適宜選択された基板により基部側磁性体基板2や蓋側磁性体基板14が構成されている。また、下地絶縁層3と導体パターン層間絶縁層10～12と保護絶縁層13との各絶縁層を構成する絶縁材料としては、例えば、ポリイミド樹脂やエポキシ樹脂やベンゾシクロブテン樹脂等の樹脂材料や、感光性樹脂材料や、 SiO_2 等のガラス材料や、ガラスセラミックス等を挙げができる。そのような絶縁材料の中から適宜選択された絶縁材料により各絶縁層が構成されている。

[0021] 次に、下地絶縁層3の上側には、予め定められた各電子部品形成領域Rに、それぞれ、電子部品構成用の導体パターン4を積層形成すると共に、電子部品構成用の導体パターン4と電気的に接続されていない浮遊ダミーパターン15(15a)を形成する。また、後述する切断工程で切削除去される予め定められた切断除去領域Zには、除去ダミーパターン18(18a)を形成する。なお、図1に示される例では、図の前後方向に隣り合う電子部品構成用の導体パターン4の一端側同士は、互いに伸長形成されて連結されている。つまり、その導体パターン4の伸長形成部分は電子部品形成領域Rから切断除去領域Zを横断する態様でもって伸長形成された伸張導体となっている。

[0022] ところで、後述する切断工程で切断ずれが生じても、その切断ずれがコイル部品1の特性に大きな悪影響を及ぼさない許容範囲が予め求められて定められている。除

去ダミーパターン18(18a)は、そのような許容範囲内の切断ずれを考慮して切断工程で確実に切削除去できるように、その形成位置および太さが設定されている。また、この実施例では、除去ダミーパターン18aの形成位置は、次に示す点も考慮して設定される。つまり、電子部品構成用の導体パターン4の上側に積層形成される電子部品構成用の導体パターン7, 8においても、導体パターン4と同様に、前後方向に隣り合う電子部品構成用の導体パターン7の一端側同士や、導体パターン8の一端側同士は、それぞれ、互いに伸長形成されて連結されている。当該導体パターン7, 8の連結部分(伸張導体)Xは電子部品形成領域Rから切断除去領域Zを横断する様でもって伸長形成されている。この実施例では、除去ダミーパターン18aは、その切断除去領域Zに形成されている電子部品構成用の導体パターン7, 8の連結部分(伸張導体)Xに重なり合う位置に形成する。

[0023] この実施例では、浮遊ダミーパターン15(15a)は、切断工程での許容範囲内の切断ずれを考慮し、各電子部品1の側面(切断面)に浮遊ダミーパターン15(15a)が露出しないように切断除去領域Zと間隔を介して切断除去領域Zの外側近傍の位置であり、かつ、除去ダミーパターン18aに間隔を介し隣接させて設けられている。

[0024] 上記のような電子部品構成用の導体パターン4と浮遊ダミーパターン15aと除去ダミーパターン18aから成る第1の導体パターン層を形成する手法には様々な手法があり、何れの手法を用いて形成してもよいが、ここでは、その一例として、フォトリソグラフィ技術を利用して形成する手法を説明する。

[0025] フォトリソグラフィ技術を利用する場合には、例えば、まず、下地絶縁層3の上面全面に、成膜形成技術(例えば、スパッタリングや蒸着等の薄膜形成技術や、スクリーン印刷等の厚膜形成技術など)を用いて、導体パターン4, 15a, 18aを形成するための導電性材料の膜を形成する。その導電性材料としては、例えば、Ag, Pb, Cu, Al等の金属や、それら金属の合金等を挙げることができる。なお、導体パターンを構成する導電性材料と、絶縁層3, 10~13を構成する絶縁材料とは、それぞれの加工性と、それら導体パターンと絶縁層の密着性などを考慮し互いに関係づけて設定することが好ましく、例えば、絶縁材料はポリイミド樹脂により構成し、導体パターンはAgにより構成する。

[0026] 下地絶縁膜3の上面全面に導電性材料の膜を形成した後には、その導電性材料の膜の全面にレジスト膜を塗布形成する。そして、そのレジスト膜の上方側に、導体パターン4, 15a, 18aの形成用のマスクを配置する。その後、そのマスクを利用して、導体パターン4, 15a, 18aを形成するレジスト膜部分だけに例えば紫外線等の光を照射して光硬化させる。次に、現像処理により、未硬化なレジスト膜部分を除去する。然る後に、レジスト膜が形成されていない導電性材料部分を例えばエッチングにより除去して導体パターン4, 15a, 18aを形作る。その後、導体パターン4, 15a, 18a上のレジスト膜を除去する。このようなフォトリソグラフィ技術により、導体パターン4と浮遊ダミーパターン15aと除去ダミーパターン18aと同じ材料で、かつ、同時工程で作製して、当該導体パターン4, 15a, 18aから成る第1の導体パターン層を形成することができる。

[0027] 第1の導体パターン層の上側には、導体パターン層間絶縁層10を積層形成する。この導体パターン層間絶縁層10には、当該絶縁層10を介して上下に隣り合う電子部品構成用の導体パターン4, 5間を接続するためのビアホール20を形成する。このビアホール20を形成するために、例えば、フォトリソグラフィ技術を用いて次に示すように導体パターン層間絶縁層10を形成することができる。

[0028] 例えば、第1の導体パターン層の上側全面に、導体パターン層間絶縁層10を構成するための感光性の絶縁材料を積層形成する。その絶縁材料の上方側にビアホール形成用のマスクを配置し、そのマスクを利用して、ビアホール20の形成部分以外の絶縁材料領域に紫外線等の光を照射して光硬化させる。その後、その絶縁材料の未硬化部分を現像処理により除去する。これにより、ビアホール20が形成される。このようにして、ビアホール20が設けられた導体パターン層間絶縁層10を形成することができる。

[0029] 導体パターン層間絶縁層10の上側には、各電子部品形成領域Rに、それぞれ、電子部品構成用の導体パターン5を積層形成すると共に、電子部品構成用の導体パターン5と電気的に接続されていない浮遊ダミーパターン15(15b)を形成する。また、切断除去領域Zには、除去ダミーパターン18(18b)を形成する。

[0030] 電子部品構成用の導体パターン5は第1の導体パターン層の電子部品構成用の導

体パターン4とほぼ重なり合うように形成されている。当該電子部品構成用の導体パターン5も、導体パターン4と同様に、図1の前後方向に隣り合う電子部品構成用の導体パターン5の一端側同士は、互いに伸長形成されて連結されている。この連結部分(伸張導体)Xは切断除去領域Zを横断して設けられ、当該連結部分Xは、導体パターン4同士の連結部分Xに導体パターン層間絶縁層10を介して重なり合う位置に配設されている。また、浮遊ダミーパターン15bと除去ダミーパターン18bも、それぞれ、第1の導体パターン層の浮遊ダミーパターン15a、除去ダミーパターン18aと同様に、切断ずれを考慮して形成位置や太さが設定されている。この実施例では、浮遊ダミーパターン15bは浮遊ダミーパターン15aに、また、除去ダミーパターン18bは除去ダミーパターン18aに、それぞれ、導体パターン層間絶縁層10を介して重なり合うように設けられている。

[0031] 上記のような電子部品構成用の導体パターン5と浮遊ダミーパターン15bと除去ダミーパターン18bから成る第2の導体パターン層は、例えば、フォトリソグラフィ技術を用いて、第1の導体パターン層と同様に形成することができる。なお、導体パターン5, 15b, 18bを構成する導電性材料の一部が導体パターン層間絶縁層10のビアホール20に入り込む。このビアホール20により、導体パターン層間絶縁層10を介して上下に隣り合う導体パターン4, 5を電気的に接続させることができる。

[0032] 第2の導体パターン層の形成後には、その第2の導体パターン層の上側に導体パターン層間絶縁層11を形成する。導体パターン層間絶縁層11の上側には、各電子部品形成領域Rに、それぞれ、電子部品構成用の導体パターン7を積層形成すると共に、電子部品構成用の導体パターン7と電気的に接続されていない浮遊ダミーパターン15(15c)を形成する。また、切断除去領域Zには、除去ダミーパターン18(18c)を形成する。

[0033] 電子部品構成用の導体パターン7は、第1と第2の各導体パターン層の電子部品構成用の導体パターン4, 5の形成位置に重なり合うように配設されている。この電子部品構成用の導体パターン7も、導体パターン4, 5と同様に、図1の前後方向に隣り合う導体パターン7の一端側同士は、互いに伸長形成されて連結されている。その連結部分(伸張導体)Xは、切断除去領域Zを横断して設けられている。ただ、当該連結

部分Xの配置位置は、導体パターン4や導体パターン5の各連結部分Xの配置位置とは異なっており、この実施例では、除去ダミーパターン18a, 18bと重なり合う位置となっている。

[0034] 除去ダミーパターン18cは、除去ダミーパターン18a, 18bと同様に、切断ずれを考慮して、切断除去領域Z内に収まるサイズに形成されている。この除去ダミーパターン18cは、導体パターン4, 5の連結部分(伸張導体)Xに重なり合う位置に配設されている。浮遊ダミーパターン15cは、浮遊ダミーパターン15a, 15bと同様に、除去ダミーパターン18cと切断ずれを考慮した間隔を介し隣接し、かつ、導体パターン4, 5の連結部分Xと重なり合う位置に配設されている。

[0035] このような電子部品構成用の導体パターン7と浮遊ダミーパターン15cと除去ダミーパターン18cから成る第3の導体パターン層も、第1や第2の各導体パターン層と同様に、フォトリソグラフィ技術を利用して形成することができる。第3の導体パターン層の上側には、導体パターン層間絶縁層12を積層形成する。この導体パターン層間絶縁層12には、電子部品構成用の導体パターン7, 8を接続するためのビアホール21が形成される。当該導体パターン層間絶縁層12も、導体パターン層間絶縁層10と同様に、フォトリソグラフィ技術を用いて形成することができる。

[0036] 導体パターン層間絶縁層12の上側には、各電子部品形成領域Rに、それぞれ、電子部品構成用の導体パターン8を積層形成すると共に、電子部品構成用の導体パターン8と電気的に接続されていない浮遊ダミーパターン15(15d)を形成する。また、切断除去領域Zには、除去ダミーパターン18(18d)を形成する。これら導体パターン8と浮遊ダミーパターン15dと除去ダミーパターン18dにより第4の導体パターン層が構成されている。

[0037] 電子部品構成用の導体パターン8は、第1～第3の各導体パターン層の電子部品構成用の導体パターン4, 5, 7とほぼ重なり合うように配設されている。当該電子部品構成用の導体パターン8も、導体パターン7と同様に、図1の前後方向に隣り合う導体パターン8の一端側同士は、互いに伸長形成されて連結されている。その連結部分(伸張導体)Xは、切断除去領域Zを横断して設けられており、当該連結部分Xの配置位置は、導体パターン7の連結部分Xと重なり合う位置となっている。つまり、この実

施例では、図3aの模式的な断面図に示されるように、第1の導体パターン層の除去ダミーパターン18aと、第2の導体パターン層の除去ダミーパターン18bと、第3の導体パターン層の導体パターン7同士の連結部分(伸張導体)Xと、第4の導体パターン層の導体パターン8同士の連結部分(伸張導体)Xとは、重なり合って設けられている。換言すれば、第1と第2の導体パターン層の除去ダミーパターン18a, 18bに重なり合う位置に除去ダミーパターンが形成されていない他の導体パターン層(つまり、第3と第4の各導体パターン層)には、除去ダミーパターン18a, 18bに重なり合う位置に、電子部品構成用の導体パターン7, 8の連結部分(伸張導体)Xが設けられている。

[0038] 除去ダミーパターン18dは、除去ダミーパターン18a～18cと同様に、許容範囲内の切断ずれを考慮して、切断除去領域Z内に収まるサイズに形成されている。この除去ダミーパターン18dは、除去ダミーパターン18cに重なり合う位置に配設されている。つまり、この実施例では、図3bの模式的な断面図に示されるように、第1の導体パターン層の導体パターン4の連結部分Xと、第2の導体パターン層の導体パターン5の連結部分Xと、第3の導体パターン層の除去ダミーパターン18cと、第4の導体パターン層の除去ダミーパターン18dとは、重なり合って設けられている。換言すれば、第3と第4の導体パターン層の除去ダミーパターン18c, 18dに重なり合う位置に除去ダミーパターンが形成されていない他の導体パターン層(つまり、第1と第2の各導体パターン層)には、除去ダミーパターン18c, 18dに重なり合う位置に、電子部品構成用の導体パターン4, 5の連結部分(伸張導体)Xが設けられている。

[0039] 浮遊ダミーパターン15dは、浮遊ダミーパターン15a～15cと同様に、切断ずれを考慮した間隔を介して除去ダミーパターン18dと隣接し、かつ、第3の導体パターン層の浮遊ダミーパターン15cと重なり合うように配設されている。この実施例では、浮遊ダミーパターン15c, 15dを通る積層体の断面を見ると、第1～第4の全ての導体パターン層に、それぞれ、浮遊ダミーパターン15あるいは電子部品構成用の導体パターンが形成されている。

[0040] 上記のような第4の導体パターン層も、第1～第3の各導体パターン層と同様に、フォトリソグラフィ技術を利用して形成することができる。第4の導体パターン層の上側に

は、保護絶縁層13を積層形成する。

[0041] 然る後に、保護絶縁層13の上側に蓋側磁性体基板14を配置する。このとき、保護絶縁層13と、蓋側磁性体基板14との互いに対向し合う面には、それぞれ、接着剤(例えば熱硬化性のポリイミド樹脂)を塗布形成しておく。

[0042] そして、真空中又は不活性ガスの雰囲気中で、磁性体基板2, 14と第1～第4の導体パターン層と絶縁層3, 10～13から成る積層体を加熱した状態で加圧して、蓋側磁性体基板14を保護絶縁層13に接合させる。その後、その積層体を冷却し、加圧状態を解除する。このようにして、コイル部品1を多数切り出すことができる親基板が形成される。

[0043] 親基板の作製が完了した後には、上記加圧後の積層体を、各電子部品形成領域Rの境界に沿って設定された切断ラインに従って例えばダイシングにより切断して、各電子部品1毎に分離分割する。その分離分割された各電子部品1の側面(切断面)には、各導体パターン4, 5, 7, 8の伸張導体の端面が露出された状態となっている。

[0044] その後、各電子部品1毎に、導体パターン4, 5, 7, 8の各伸張導体の端面の露出位置に、それぞれ、対応する外部接続用電極16(16a, 16b), 17(17a, 17b)を形成する。これにより、導体パターン4, 5の一端側は外部接続用電極16aを介して、また、導体パターン4, 5の他端側は外部接続用電極16bを介して、それぞれ、外部と電気的に接続できる状態となる。さらに、導体パターン7, 8の一端側は外部接続用電極17aを介して、また、導体パターン7, 8の他端側は外部接続用電極17bを介して、それぞれ、外部と電気的に接続できる状態となる。

[0045] 外部接続用電極16, 17は、例えば、導電性ペーストの塗布技術や、スパッタリングや蒸着等の成膜形成技術を利用して、例えば、Ag, Cu, NiCr, NiCu等の導電性材料から成る下地電極膜を形成した後に、その下地電極膜の上側に、例えば湿式電解メッキを用いて、Ni, Sn, Sn-Pb等の金属膜を積層形成することにより、設けることができる。

[0046] 以上のようにして、コイル部品1を作製することができる。この実施例では、電子部品構成用の導体パターン4, 5, 7, 8の形成領域以外の導体パターン層部分に、除

除去ダミーパターン18と、浮遊ダミーパターン15とを形成しているので、第4の導体パターン層の上側に保護絶縁層13を積層形成したときに、その保護絶縁層13の上面の凹凸は抑えられて平坦化できている。このため、保護絶縁層13の上側に蓋側磁性体基板14を配置して加圧する際に、積層体全体にはほぼ均等に押圧力を加えることができる。これにより、押圧力が不均等に加えられることに起因したデラミネーションの発生を抑制することができる。

[0047] 特に、この実施例では、導体パターン同士の連結部分(伸張導体)Xに重ね合わせて、除去ダミーパターン18と浮遊ダミーパターン15を配設している。換言すれば、外部接続用電極16, 17を形成するのに大きく関与する部分(つまり、従来、デラミネーションが発生し易い領域の中で、最もデラミネーションの発生が問題であった部分)に、除去ダミーパターン18と浮遊ダミーパターン15を配設して、デラミネーションの発生を防止している。

[0048] また、この実施例では、切断ずれを考慮して除去ダミーパターン18を切断除去領域Z内に収まるように細く形成しているが、その除去ダミーパターン18と間隔を介して浮遊ダミーパターン15を隣接配置するので、除去ダミーパターン18を細くしても、絶縁層の大きな落ち込み発生が懸念されるようなパターン間の広い隙間が生じることを回避できる。これにより、積層体の保護絶縁層13の上面の凹凸を抑制することができるため、上記のようにデラミネーションの発生を防止することができる。

[0049] さらに、この実施例では、浮遊ダミーパターン15と除去ダミーパターン18は、切断ずれが生じても、その切断ずれが予め定められた許容範囲内であれば、ダミーパターン15, 18の端面がコイル部品1の側面(切断面)に露出しないように設計されている。このため、ダミーパターンと、電子部品構成用の導体パターンとの間にマイグレーション等の不具合が発生することを回避できる。これにより、電子部品の電気的特性の劣化を防止できて、高品質で信頼性の高い電子部品を提供することが容易となる。

[0050] さらに、この実施例では、浮遊ダミーパターン15と除去ダミーパターン18は、同じ導体パターン層の層面に形成され、当該浮遊ダミーパターン15と除去ダミーパターン18を、同じ導体パターン層の電子部品構成用の導体パターン4, 5, 7, 8と同じ材料で

、かつ、同時に作製している。これにより、製造工程の増加や、材料コストの増加を抑えながら、上記のような優れた効果を得ることができる。

[0051] さらに、この実施例では、例えば第1の導体パターン層の除去ダミーパターン18aに重なり合う位置に除去ダミーパターンが形成されていない第3と第4の導体パターン層には、除去ダミーパターン18aに重なり合う位置に、導体パターン7, 8の伸張導体Xが形成されている。このように、この実施例では、除去ダミーパターンが形成されている導体パターン層の除去ダミーパターンに重なり合う位置に除去ダミーパターンが形成されていない他の少なくとも1つ以上の導体パターン層には、その除去ダミーパターンに重なり合う位置に、電子部品構成用の導体パターンの伸張導体が形成されている構成とした。これにより、導体パターンの伸張導体が形成されている部分の積層体の上面の凹凸を小さく抑制することができる。

[0052] また、浮遊ダミーパターンが形成されている積層体の部位には、浮遊ダミーパターンが形成されていない導体パターン層に、電子部品構成用の導体パターンが浮遊ダミーパターンに重なり合って設けられている構成とすることにより、浮遊ダミーパターンの形成領域においては、積層されている全ての導体パターン層に、浮遊ダミーパターンあるいは電子部品構成用の導体パターンが形成されて重なり合っていることとなるので、積層体上面の凹凸を効果的に抑制することができる。

[0053] この実施例では、フォトリソグラフィ技術を利用して導体パターン層および絶縁層を形成している。このため、フォトリソグラフィ技術の高精度な加工により、導体パターン層および絶縁層をほぼ設計通りに作製することができる。これにより、電子部品の電気的な特性のばらつきを小さく抑えることができて、電気的な特性に対する信頼性をより一層向上させることができるとなる。

[0054] なお、この発明はこの実施例の形態に限定されるものではなく、様々な実施の形態を採り得る。例えば、この実施例では、図3aの断面図に示されるように、第2～第4の全ての導体パターン層には、それぞれ、第1の導体パターン層の浮遊ダミーパターン15aと重なり合う位置に、浮遊ダミーパターン15あるいは電子部品構成用の導体パターン7, 8の一部が形成されている。このように、この実施例では、ある一つの導体パターン層の浮遊ダミーパターンと重なり合う他の全ての導体パターン層の位置には、

それぞれ、浮遊ダミーパターンあるいは電子部品構成用の導体パターンの一部が形成されていた。これに対して、例えば、図4の模式的な断面図に示されるように、ある一つの導体パターン層の浮遊ダミーパターン15と重なり合う他の全ての導体パターン層の位置において浮遊ダミーパターン15や電子部品構成用の導体パターンの一部が形成されていない導体パターン層があつてもよい。また、除去ダミーパターン18に関しても同様であり、ある一つの導体パターン層の除去ダミーパターン18と重なり合う他の全ての導体パターン層の位置において除去ダミーパターン18や電子部品構成用の導体パターンの一部が形成されていない導体パターン層があつてもよい。

[0055] また、この実施例では、浮遊ダミーパターン15と除去ダミーパターン18は、電子部品構成用の導体パターン同士の連結部分(伸張導体)Xに重なり合う位置に配設されていたが、浮遊ダミーパターン15や除去ダミーパターン18は、電子部品構成用の導体パターンと重なり合わない部分に設けてもよい。この場合には、例えば、切断除去領域Zにおいて、第1～第4の全ての導体パターン層に、それぞれ、除去ダミーパターン18を形成してもよいし、第1～第4の導体パターン層の中から予め選択された3層以下の導体パターン層だけに除去ダミーパターン18を形成してもよい。同様に、電子部品構成用の導体パターンに重なり合わない部分に浮遊ダミーパターン15を設ける場合には、第1～第4の全ての導体パターン層に、それぞれ、浮遊ダミーパターン15を形成してもよいし、第1～第4の導体パターン層の中から予め選択された3層以下の導体パターン層だけに浮遊ダミーパターン15を形成してもよい。

[0056] さらに、この実施例では、コイル部品1は、磁性体基板を利用していたが、その磁性体基板に代えて、例えば、誘電体基板を設けてもよい。その誘電体基板を構成する絶縁材料としては、例えば、ポリイミド樹脂やエポキシ樹脂やベンゾシクロブテン樹脂等の樹脂材料や、感光性樹脂材料や、 SiO_2 等のガラス材料や、ガラスセラミックスや、 BaTiO_3 等の誘電体セラミックス等を挙げることができる。さらに、この実施例では、導体パターン層と絶縁層が交互に積層形成されて成る積層体の上下両側には、それぞれ、基板が設けられていたが、例えば、少なくとも上下一方側の基板に代えて、溶融した絶縁材料を塗布形成した後に硬化させて成る保護層を設けてもよい。このように、積層体の上下両側に必ずしも基板を配設しなくともよい。

[0057] さらに、この実施例では、コイル部品(コモンモードチョークコイル部品)を例にして説明したが、この発明は、複数の導体パターン層が絶縁層を介しながら積層形成されている構成を備えていれば、コモンモードチョークコイル部品以外の電子部品や当該電子部品の製造方法や電子部品多数取り用の親基板にも適用することができる。

産業上の利用可能性

[0058] 本発明の構成を備えることにより、小型で高性能な電子部品を提供することができることから、本発明は、小型化が要求されている装置等に組み込む電子部品や電子部品の製造方法や電子部品多数取り用の親基板に有効である。

請求の範囲

[1] 導体パターン層が絶縁層を介して積層されて複数の導体パターン層が積層一体化されている電子部品の製造方法であって、
層面方向に間隔を介して導体パターンが複数形成されている導体パターン層と、絶縁層とを交互に積層形成して、電子部品を構成する導体パターンの積層部位が複数集合形成されている積層体を作製し、
その積層体を積層方向に力を加えて加圧一体化した後に、当該積層体を、各電子部品を構成する導体パターンの積層部位の境界に沿った切断ラインに従って切断して各電子部品毎に分離分割することとし、
前記複数積層される導体パターン層のうちの少なくとも1つの導体パターン層には、その表面に絶縁層が積層形成される前に、前記切断により切削除去される領域に該切断除去領域内に収まるサイズの除去ダミーパターンを形成し、
また、前記各電子部品を構成する導体パターンの積層部位の少なくとも1つの導体パターン層には、その表面に絶縁層が積層形成される前に電子部品を構成する導体パターンとは電気的に接続されていない浮遊ダミーパターンを、切断除去領域と間隔を介して切断除去領域の外側近傍に配置形成することを特徴とする電子部品の製造方法。

[2] 複数の導体パターン層のうちの1つ以上の導体パターン層には浮遊ダミーパターンと除去ダミーパターンと同じ導体パターン層の層面方向に間隔を介して隣接配置し、この同一の導体パターン層に形成する電子部品構成用の導体パターンと、浮遊ダミーパターンと、除去ダミーパターンとは同じ材料で、かつ、同時工程で作製することを特徴とする請求項1記載の電子部品の製造方法。

[3] 一方の導体パターン層の除去ダミーパターンに重なり合う位置に、除去ダミーパターンが形成されていない他の導体パターン層を配し、該他の導体パターン層には、当該他の導体パターン層の電子部品を構成する導体パターンから伸張形成されて切断除去領域を横断する伸張導体を形成し、前記一方の導体パターン層の除去ダミーパターンと他の導体パターン層の前記伸張導体とを重なり合う位置に設けることを特徴とする請求項1記載の電子部品の製造方法。

[4] 一方の導体パターン層の浮遊ダミーパターンに重なり合う位置に、浮遊ダミーパターンが形成されていない他の導体パターン層の導体パターンを配し、前記一方の導体パターン層の浮遊ダミーパターンと前記他の導体パターン層の導体パターンの一部とは重なり合う位置に設けることを特徴とする請求項1記載の電子部品の製造方法。

[5] 一方の導体パターン層の浮遊ダミーパターンに重なり合う位置に、浮遊ダミーパターンが形成されていない他の導体パターン層の導体パターンを配し、前記一方の導体パターン層の浮遊ダミーパターンと前記他の導体パターン層の導体パターンの一部とは重なり合う位置に設けることを特徴とする請求項3記載の電子部品の製造方法。

[6] フオトリソグラフィ技術を利用して、導体パターン層および絶縁層を形成することを特徴とする請求項1記載の電子部品の製造方法。

[7] 電子部品構成用の導体パターンはコイルパターン形状と成しており、電子部品はコイル部品であることを特徴とする請求項1乃至請求項6の何れか1つに記載の電子部品の製造方法。

[8] 層面方向に間隔を介して導体パターンが複数形成されている導体パターン層と、絶縁層とが交互に積層形成されて、電子部品を構成する導体パターンの積層部位が複数集合形成されている積層体であり、その積層体を、各電子部品を構成する導体パターンの積層部位の境界に沿った切断ラインに従って切断することにより、各電子部品毎に分離分割した複数の電子部品を切り出すための親基板であって、
前記複数積層される導体パターン層のうちの少なくとも1つの導体パターン層には、前記切断ラインに従って切断される切断除去領域内に該切断除去領域内に收まるサイズの除去ダミーパターンが形成され、
また、前記各電子部品を構成する導体パターンの積層部位の少なくとも1つの導体パターン層には、電子部品を構成する導体パターンとは電気的に接続されていない浮遊ダミーパターンが、前記切断除去領域と間隔を介して該切断除去領域の外側近傍に配置形成していることを特徴とする電子部品多数取り用の親基板。

[9] 複数の導体パターン層のうちの1つ以上の導体パターン層には浮遊ダミーパターン

と除去ダミーパターンとが間隔を介して隣接配置されており、この同一の導体パターン層に形成される電子部品構成用の導体パターンと、浮遊ダミーパターンと、除去ダミーパターンとは同じ材料で作製されていることを特徴とする請求項8記載の電子部品多数取り用の親基板。

[10] 除去ダミーパターンが形成されている導体パターン層の除去ダミーパターンに重なり合う位置に除去ダミーパターンが形成されていない他の1つ以上の層の導体パターン層には、当該他の導体パターン層の電子部品を構成する導体パターンから伸張形成されて切断除去領域を横断する伸張導体が形成され、前記導体パターン層の除去ダミーパターンと他の導体パターン層の前記伸張導体とは重なり合う位置に設けられていることを特徴とする請求項8記載の電子部品多数取り用の親基板。

[11] 浮遊ダミーパターンが形成されている導体パターン層の浮遊ダミーパターンに重なり合う位置に浮遊ダミーパターンが形成されていない他の1つ以上の導体パターン層には、当該他の導体パターン層の電子部品を構成する導体パターンの一部が、前記導体パターン層の浮遊ダミーパターンと重なり合う位置に設けられていることを特徴とする請求項8記載の電子部品多数取り用の親基板。

[12] 浮遊ダミーパターンが形成されている導体パターン層の浮遊ダミーパターンに重なり合う位置に浮遊ダミーパターンが形成されていない他の1つ以上の導体パターン層には、当該他の導体パターン層の電子部品を構成する導体パターンの一部が、前記導体パターン層の浮遊ダミーパターンと重なり合う位置に設けられていることを特徴とする請求項10記載の電子部品多数取り用の親基板。

[13] フオトリソグラフィ技術を利用して、導体パターン層および絶縁層が形成されていることを特徴とする請求項8記載の電子部品多数取り用の親基板。

[14] 電子部品構成用の導体パターンはコイルパターン形状と成しており、電子部品はコイル部品であることを特徴とする請求項8乃至請求項13の何れか1つに記載の電子部品多数取り用の親基板。

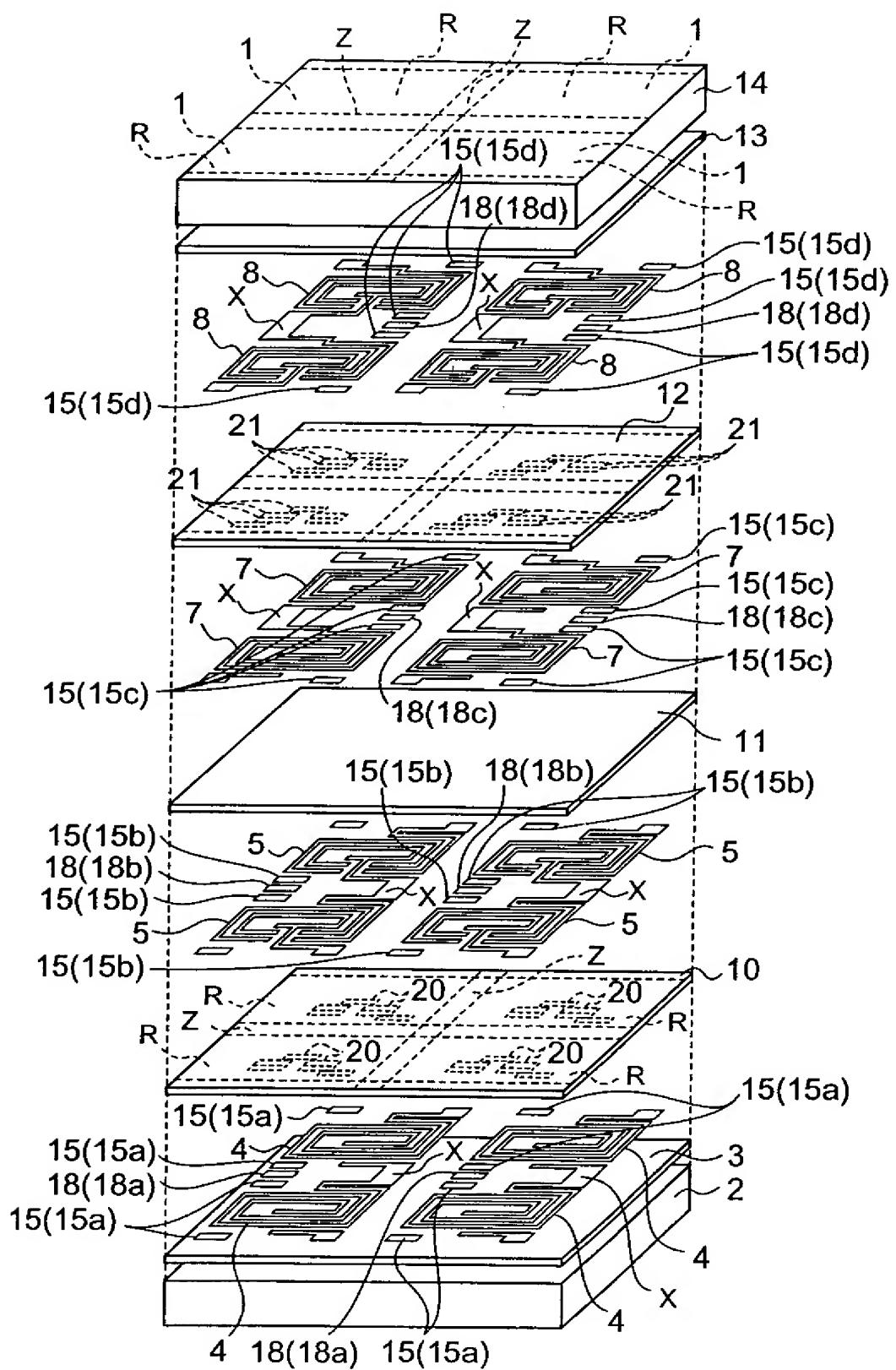
[15] 導体パターン層と、絶縁層とが交互に積層形成されて複数の導体パターン層が積層一体化されている積層体の電子部品であって、
前記複数積層される導体パターン層のうちの1つ以上の導体パターン層には、導

体パターンとは電気的に接続されていない浮遊ダミーパターンが、当該導体パターン層の端面と導体パターンとの間の領域に導体パターンとは間隔を介し、かつ、導体パターン層の端面に露出しない状態で配置されていることを特徴とする電子部品。

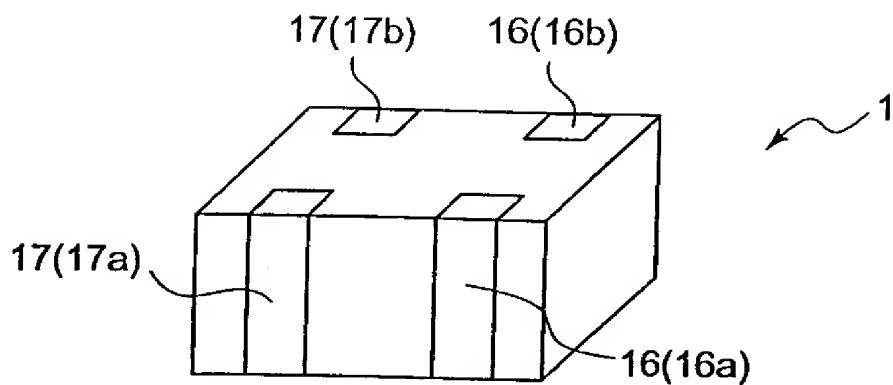
[16] 導体パターン層には導体パターンから伸張形成されて当該導体パターン層の端面に伸びる伸張導体が形成されており、複数積層されている導体パターン層のうちに伸張導体の形成位置の異なる導体パターン層が含まれ、この伸張導体の形成位置が互いに異なる導体パターン層においては、一方側の導体パターン層の伸張導体と重なり合う他方側の導体パターン層の伸張導体が形成されていない領域には浮遊ダミーパターンが形成されていることを特徴とする請求項15記載の電子部品。

[17] 電子部品構成用の導体パターンはコイルパターン形状と成しており、電子部品はコイル部品であることを特徴とする請求項15又は請求項16に記載の電子部品。

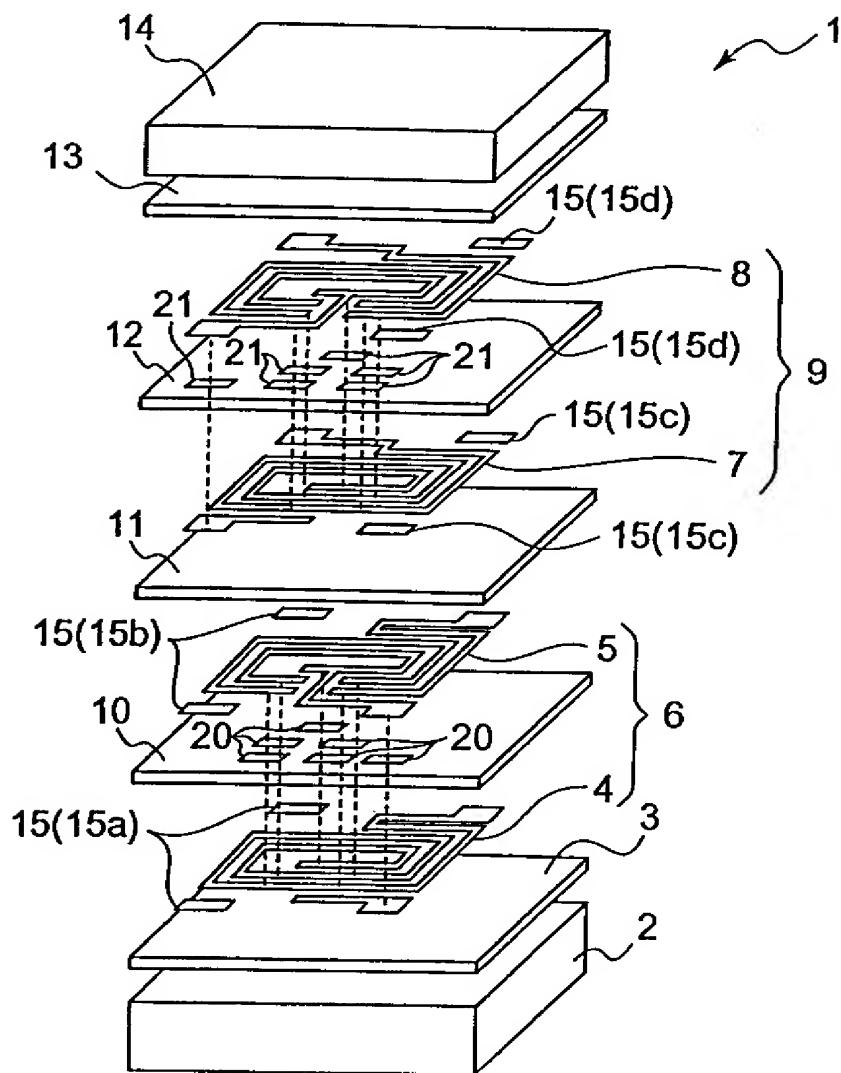
[図1]



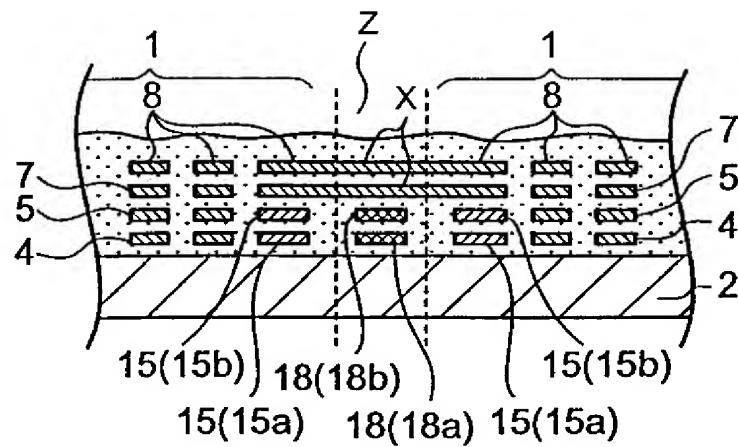
[図2a]



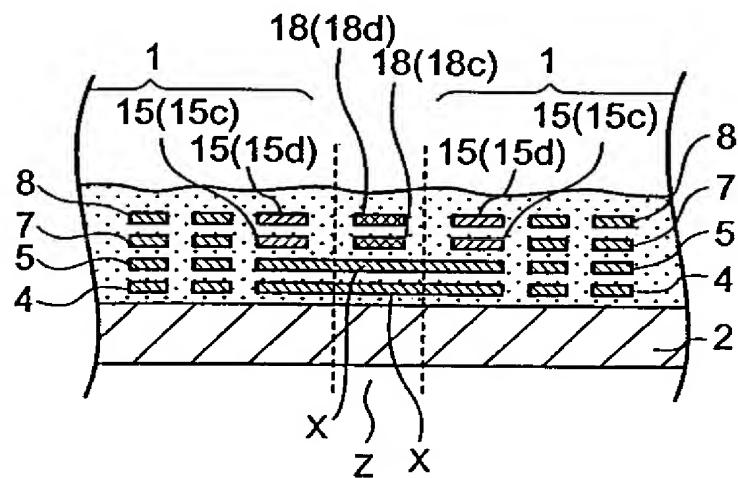
[図2b]



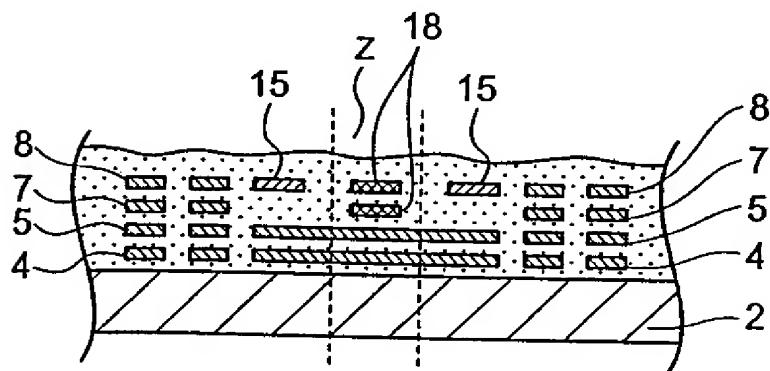
[図3a]



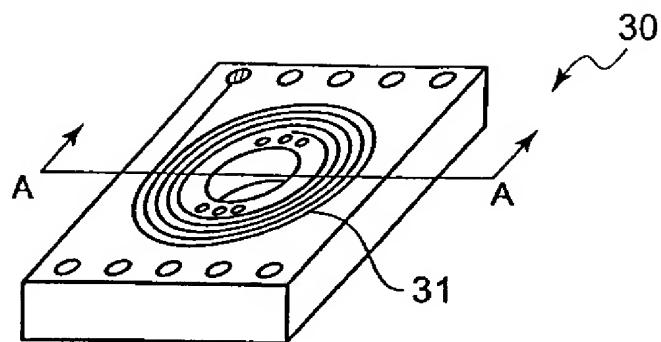
[図3b]



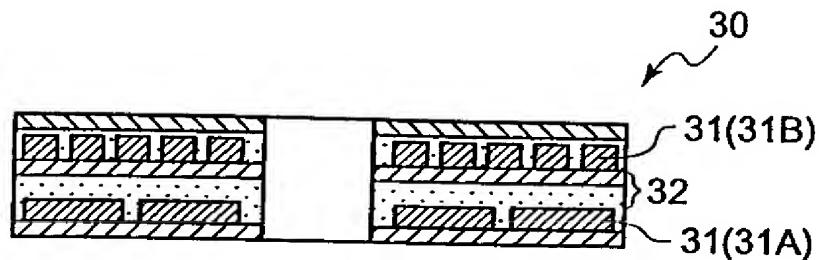
[図4]



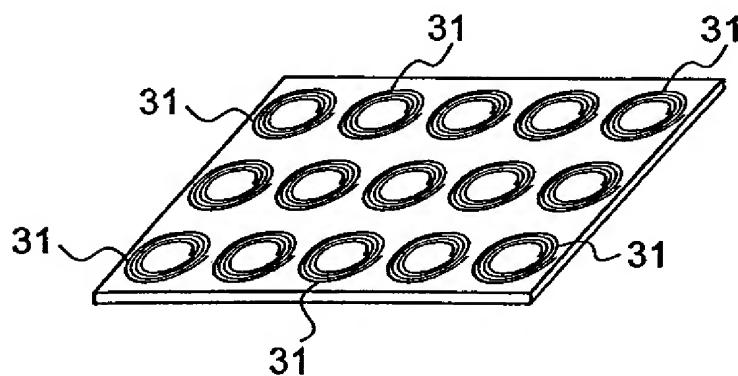
[図5a]



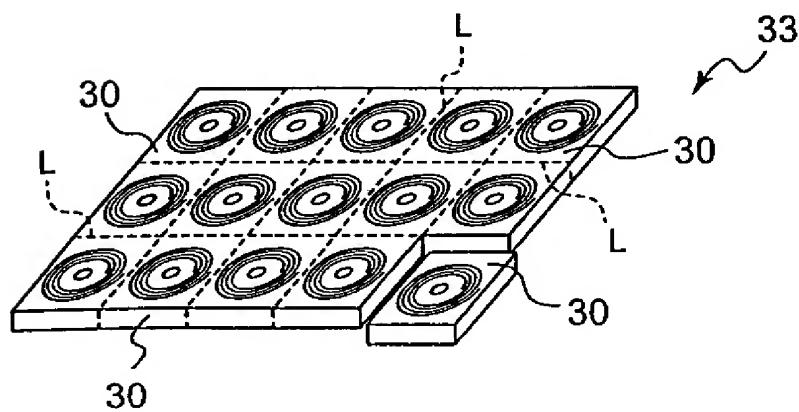
[図5b]



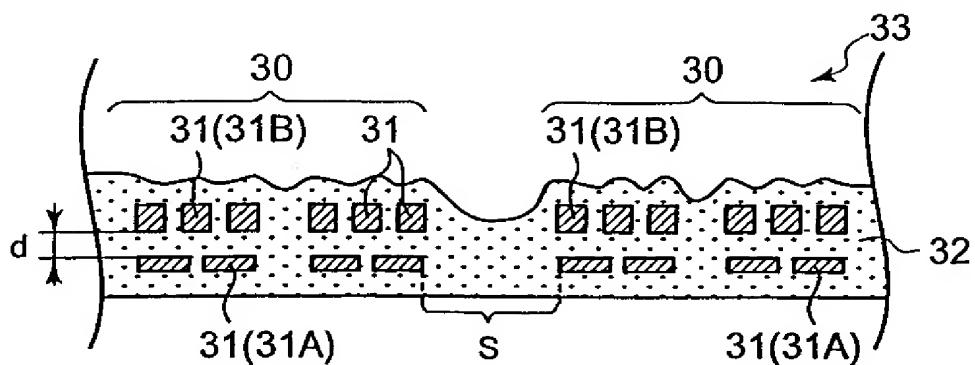
[図6a]



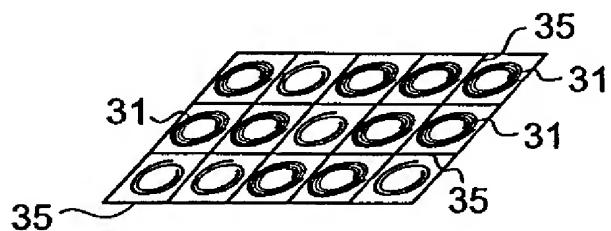
[図6b]



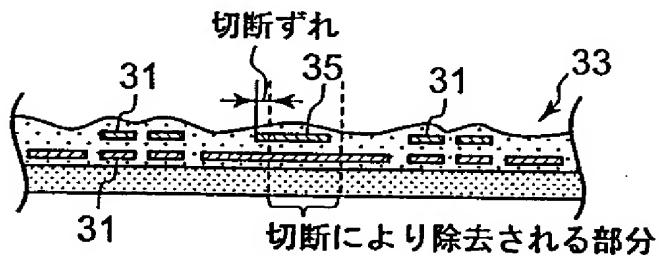
[図7]



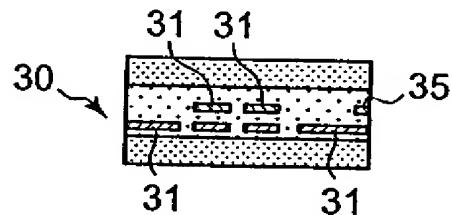
[図8]



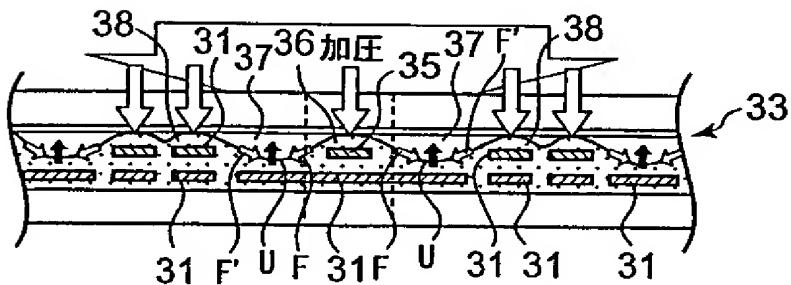
[図9a]



[図9b]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009779

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01F41/04, 17/00, H01G4/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01F41/04, 17/00, H01G4/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-186343 A (Kyocera Corp.), 02 July, 2004 (02.07.04), Par. Nos. [0003], [0027] to [0032]; Figs. 2, 8 (Family: none)	15 1-14, 16, 17
X A	JP 11-243017 A (Murata Mfg. Co., Ltd.), 07 September, 1999 (07.09.99), Par. No. [0014]; Figs. 1, 2 (Family: none)	15 1-14, 16, 17
A	JP 9-289128 A (Matsushita Electric Works, Ltd.), 04 November, 1997 (04.11.97), Full text; all drawings (Family: none)	1-17

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search
25 July, 2005 (25.07.05)Date of mailing of the international search report
09 August, 2005 (09.08.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009779

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-198439 A (TDK Corp.), 06 August, 1993 (06.08.93), Fig. 7 (Family: none)	1-17
A	JP 7-122430 A (Yokogawa Electric Corp.), 12 May, 1995 (12.05.95), Full text; all drawings (Family: none)	1-17

A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl.⁷ H01F41/04, 17/00, H01G4/12

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int.Cl.⁷ H01F41/04, 17/00, H01G4/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P 2004-186343 A (京セラ株式会社) 2004. 07. 02, 【0003】、【0027】-【0032】、 図2、図8 (ファミリーなし)	15 1-14, 16, 17
X A	J P 11-243017 A (株式会社村田製作所) 1999. 09. 07, 【0014】、図1、図2 (ファミリーなし)	15 1-14, 16, 17
A	J P 9-289128 A (松下電工株式会社) 1997. 11. 04, 全文、全図 (ファミリーなし)	1-17

 C欄の続きにも文献が列挙されている。

〔パテントファミリーに関する別紙を参照。〕

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

25. 07. 2005

国際調査報告の発送日

09. 8. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

山田 正文

5R 8835

電話番号 03-3581-1101 内線 3565

C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 5-198439 A (ティーディーケイ株式会社) 1993. 08. 06, 図7 (ファミリーなし)	1-17
A	J P 7-122430 A (横河電機株式会社) 1995. 05. 12, 全文、全図 (ファミリーなし)	1-17